

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-293018  
 (43)Date of publication of application : 16.10.1992

(51)Int.Cl.

G02F 1/1343

(21)Application number : 03-081725

(71)Applicant : G T C:KK

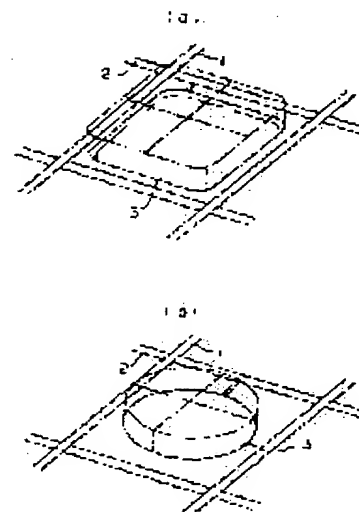
(22)Date of filing : 20.03.1991

(72)Inventor : KATO YOSHINORI

**(54) LIQUID CRYSTAL DISPLAY DEVICE****(57)Abstract:**

**PURPOSE:** To decrease the parasitic capacity generated between a picture element electrode and a data electrode, and a gate electrode and also reduce the generation of crosstalk and a halftone display error by making the corner parts of the picture element round, specially, circular.

**CONSTITUTION:** The liquid crystal display device is formed in sandwich structure wherein two substrates which each have an electrode and an orienting film formed of a high polymer film of polyimide thereupon are combined, and one substrate is provided with the picture element electrode 3, data electrode, and gate electrode 2 as electrodes. The picture element electrode 3 is formed in a nearly rectangular shape having four corners made round and the picture element electrode 3 is formed circularly. Thus, the corner parts of the picture element electrode 3 are made round, specially, circular, so the corner parts of the picture element 3 are reduced in parasitic capacity, the parasitic capacity between the picture element electrode 3 and data electrode 1, and gate electrode 2 is reduced, and the generation of the crosstalk, halftone display error, etc., is reducible.

**LEGAL STATUS**

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-293018

(43) 公開日 平成4年(1992)10月16日

(51) Int.Cl.<sup>3</sup>

G 0 2 F 1/1343

識別記号

庁内整理番号

9018-2K

F I

技術表示箇所

審査請求 未請求 請求項の数2(全 4 頁)

(21) 出願番号 特願平3-81725

(22) 出願日 平成3年(1991)3月20日

(71) 出願人 390028004

株式会社ジーティシー

東京都中央区東日本橋1丁目6番5号

(72) 発明者 加藤 芳紀

東京都中央区東日本橋1-6-5 株式会

社ジーティシー内

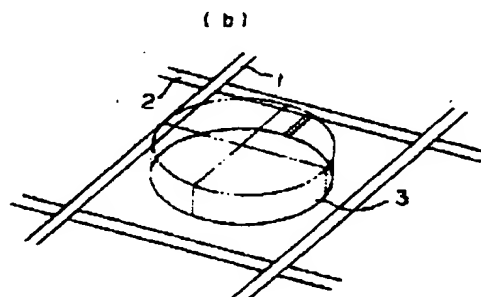
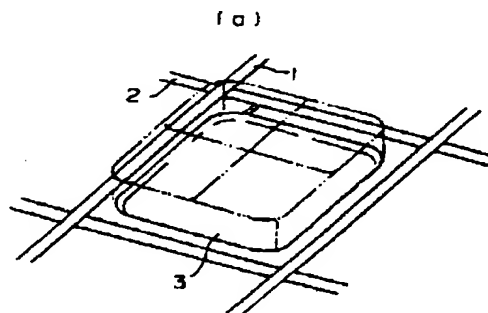
(74) 代理人 弁理士 志賀 正武 (外2名)

(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【目的】 画素電極とデータ電極、ゲート電極との間に生ずる寄生容量を小さくし、クロストークや中間調表示エラー等の発生を低減することを目的とする。

【構成】 画素電極3を角部に丸みを帯びた形状、特に円形にする。



## 【特許請求の範囲】

【請求項1】 画素電極の形状が、角部に丸みを帯びた形状である事を特徴とする液晶表示装置。

【請求項2】 画素電極の形状が円形である事を特徴とする液晶表示装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は液晶表示装置に於いて、画素電極とデータ電極、ゲート電極との間に生じる寄生容量を小さくできる画素電極の形状に関する。

## 【0002】

【従来の技術】 従来の一般的な液晶表示装置の構造は、図2に示すように、電極6と更にその上に形成されたポリイミドなどの高分子膜からなる配向膜7とが形成された基板5を二枚組合せたサンドイッチ構造からなる。一方基板5には、電極6として、画素電極と、データ電極とゲート電極とが設けられている。前記二枚の基板5は、図2に示すように、スペーサー9によって一定の間隔に保たれ、シール剤10によって接着されている。こうしてできた空間には液晶8が注入されている。更に基板5上には、偏光板4が各々張り付けられている。

【0003】 上記液晶表示装置を駆動させるには二枚の基板5に電圧を印加する。その電圧によって液晶8の分子の長軸方向が変化し、偏光板4によって選択された入射光を液晶8の分子が回旋させる。つまり二枚の基板5の電圧の実効電圧値を変える事によって、透過光もしくは反射光の強度を変える事ができる。

【0004】 液晶表示装置の駆動方式で今日主流となっている駆動方式はアクティブマトリクス駆動 (Lechner et al., IEEE Int. solid. st. cir. Conf. of tech. pap., pp52-53, Feb. 1969) である。このものは、トランジスタやダイオードを画素電極のスイッチとして使用している。以下図3を用いて、トランジスタ11を画素電極3のスイッチに使用したアクティブマトリクス駆動の液晶素子を説明する。

【0005】 全体の構造としては図2に示した液晶素子と同じであるが、異なる点は二枚の基板5の内の一方の基板5に設けられている画素電極3の一つ一つにトランジスタ11が備えられた点である。

【0006】 上記アクティブマトリックスの駆動方式は、ゲート電極2にパルスが印加されている間のみデータ電極1から画素電極3に電圧を印加することができるようになっている。この画素電極3に電圧が印加されている時、この画素電極3と他方の基板5の電極(対向電極)との間に位置している液晶8には電荷が蓄積される。その後ゲート電極2には一定期間電荷が印加されないがその間は、上記液晶8自身に蓄積した電荷もしくは、液晶と付加容量に蓄積された電荷で液晶自身が表示状態を維持する。

【0007】 この方式は、液晶に印加される電圧の実効

値が充分にとれ、周囲の電極からの影響が少ないため表示性能がよいという特徴があった。

【0008】 ところが最近、液晶表示装置をより高精細化することが求められている。(フラットパネル・ディスプレイ'91, 日経BP社)。この為、画素電極3と回りのデータ電極1、ゲート電極2との距離が狭まるため、周囲のデータ電極1、ゲート電極2による影響が現われてきた。即ち、画素電極3とデータ電極1、ゲート電極2との間に生ずる寄生容量が問題となってきた。寄生容量が大きくなるとそれに従いクロストークや中間調表示エラー等が生じてくるため表示品位が悪化する (W. E. Howard, et al., conf. rec. of the IDRC, p230-235, 1988. / R. L. Wisnieff, Proc of the Conf. Eurodisplay, p 59-62, 1987. / R. L. Wisnieff, SSDM'90 SENDAI, p983-986, 1990) という問題が生じる。

【0009】 本発明者らは、前記問題の原因を以下の実験で明らかにした。図4には従来形状のトランジスタを備えた液晶表示装置の画素容量をシミュレーションした結果が示されている。画素電極3の大きさは、 $130 \times 130 \mu m$ であり、画素電極3とデータ電極1、ゲート電極2との間の距離は、 $10 \mu m$ である。図中のピークの高さは相対的な容量値を示す。従来形状の場合、ゲート電極2と画素電極3との間の寄生容量は5.5 fFであり、データ電極1と画素電極3との間の寄生容量は2.0 fFであった。ゲート電極2と画素電極3との間の寄生容量値の方が大きい。ここで注目することは、寄生容量は画素電極3の周辺、特に画素電極3の角の部分に集中している事である。

## 【0010】

【発明が解決しようとする課題】 本発明の目的は、従来技術の問題点であった画素電極3とデータ電極1、ゲート電極2との間に生ずる寄生容量を小さくする事であり、これによりクロストークや中間調表示エラー等の発生を低減する事である。

## 【0011】

【課題を解決するための手段】 本発明の液晶表示装置では、画素電極を角部に丸みを帯びた形状特に円形にすることにより、前記課題の解決を図った。

## 【0012】

【作用】 画素電極を丸みを帯びた形状特に円形にすることにより、従来画素電極の角の部分に集中していた寄生容量を小さくすることができる。

## 【0013】

【実施例】 (実施例1) 図1(a)は、本実施例の液晶表示装置の要部を示すものである。この液晶表示装置に於いては、画素電極3が角部の丸められた略四角形状とされている。

【0014】 この様に画素電極3の角部を丸めると、図1(a)中の二点鎖線で示す従来画素電極3の角に貯っていた寄生容量は大幅に減った。更にゲート電極2と画

3

素電極3との間の寄生容量は5.0 fF、データ電極1と画素電極3との間の寄生容量は1.7 fFとなり、両箇所とも寄生容量共に従来よりも低くなった。

【0015】本実施例の液晶表示装置に於ては、画素電極3を角部に丸みを帯びた形状にしたので、画素電極3の角の部分の寄生容量減少し、画素電極3とデータ電極1、ゲート電極2との間の寄生容量が小さくなった。従って、本実施例の液晶表示装置によれば、クロストークや中間調表示エラーなどの発生をより少なくできる。

【0016】(実施例2) 図1(b)は、本実施例の液晶表示装置の要部を示すものである。この液晶表示装置の画素電極3が円形に形成されている。

【0017】この様に画素電極3を円形に形成すると図1(b)中の二点鎖線で示すように角部のみならず周辺部の寄生容量が大幅に減少した。そしてゲート電極2と画素電極3との間の寄生容量は1.8 fF、データ電極1と画素電極3との間の寄生容量は1.2 fFとなった。これらの値は、実施例1に比べてより小さい。つまりこの事は、画素電極3を円形にすることにより画素電極3周辺部の寄生容量が小さくなった事を示している。

【0018】本実施例の液晶表示装置に於ては画素電極3を円形にしたので、画素電極3の角の部分の寄生容量を大幅に小さくすることができた。従って、本実施例の液晶表示装置によれば、クロストークや中間調表示エラーをより低減できる。

【0019】

【発明の効果】以上説明したように本発明の液晶表示装置は画素電極を角部に丸みを帯びた形状、特に円形にし

4

たものなので、画素電極とデータ電極、ゲート電極間に生ずる寄生容量が少なくできる。従って、本発明の液晶表示装置によれば、クロストークや中間調表示エラーなどの発生がより少なくなる。

【0020】

【図面の簡単な説明】

【図1】(a) 実施例1の液晶表示装置の画素電極の形状を示す斜視図。

(b) 実施例2の液晶表示装置の画素電極の形状を示す斜視図。

【図2】一般的な液晶表示装置の構造を示す概略図。

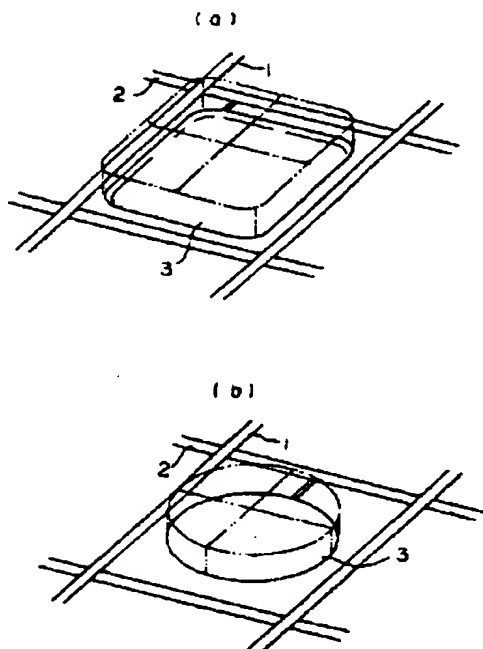
【図3】アクティブ素子として薄膜トランジスターを用いた液晶表示装置を示す斜視図。

【図4】従来の画素電極の形状で電気容量をシミュレーションした結果を示す模式図。

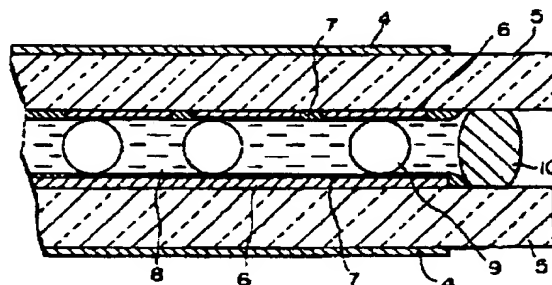
【符号の説明】

- 1 データ電極
- 2 ゲート電極
- 3 画素電極
- 4 偏光板
- 5 ガラス基板
- 6 電極
- 7 配向膜
- 8 液晶
- 9 スペース
- 10 接着剤
- 11 トランジスター
- 12 アクティブ素子を形成した基板

【図1】



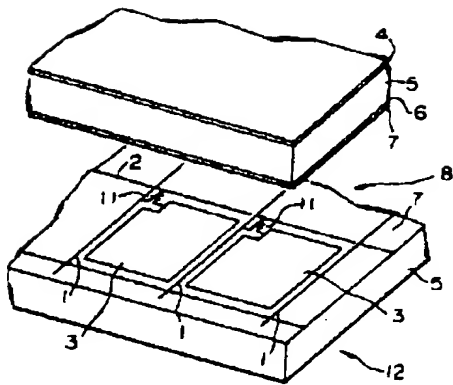
【図2】



(4)

特開平4-293018

【図3】



【図4】

